



2800  
047  
2811

PATENT  
Docket No.: 8733.541.00 5.6.2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of:

Kyo Ho MOON

Group Art Unit:

TBA

Application No.: 10/025,905

Examiner:

TBA

Filing Date: December 26, 2001

For: METHOD OF FABRICATING X-RAY DETECTING DEVICE

REQUEST FOR PRIORITY

Commissioner of Patents  
Washington, D.C. 20231

Sir:

- ☐ Full benefit of the filing date of U.S. Application No. [\*], filed [\*], is claimed pursuant to the provisions of 35 U.S.C. § 120.
- ☐ Full benefit of the filing date of U.S. Provisional Application No., [\*], filed [\*], is claimed pursuant to the provisions of 35 U.S.C. § 119(e):
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. § 119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the Applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
KOREA	P2000-85394	December 29, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.
- ☐ Were filed in prior Application No. [ \* ], filed [ \* ].
- ☐ Were submitted to the International Bureau in PCT Application No. [\*]. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application No.(s) [\*] were filed in prior application no. [\*] filed [\*]; and
- (B) Application No.(s)
- ☐ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.

Respectfully submitted,

LONG ALDRIDGE & NORMAN, LLP

Date: January 7, 2002  
701 Pennsylvania Avenue, N.W.  
Sixth Floor, Suite 600  
Washington, D.C. 20004  
Telephone No.: (202) 624-1200  
Facsimile No.: (202) 624-1298

By John M. Kelly  
John M. Kelly  
Registration No. 33,920



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2000년 제 85394 호  
Application Number PATENT-2000-0085394

출원년월일 : 2000년 12월 29일  
Date of Application DEC 29, 2000

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.

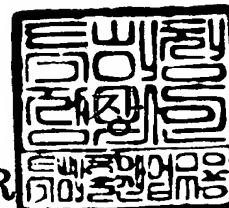
RECEIVED  
FEB 20 2002  
TECHNOLOGY CENTER 2800



2001 년 08 월 25 일

특 허 청

COMMISSIONER



**【서지사항】**

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0024  
**【제출일자】** 2000.12.29  
**【발명의 명칭】** 엑스 -선 검출소자의 제조방법  
**【발명의 영문명칭】** Fabricating Method of X-ray Detecting Device  
**【출원인】**  
**【명칭】** 엘지 .필립스 엘시디 주식회사  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 김영호  
**【대리인코드】** 9-1998-000083-1  
**【포괄위임등록번호】** 1999-001050-4  
**【발명자】**  
**【성명의 국문표기】** 문교호  
**【성명의 영문표기】** MOON, Kyo-Ho  
**【주민등록번호】** 700309-1794011  
**【우편번호】** 702-250  
**【주소】** 대구광역시 북구 동천동 880-1 영남2차 106동 703호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)  
**【수수료】**  
**【기본출원료】** 19 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 엑스-선 검출소자의 제조방법에 관한 것이다.

본 발명에 따른 엑스-선 검출소자의 제조방법은 반도체 스위칭소자 및 스토리지 캐패시터를 기판 상에 형성하는 단계와, 상기 반도체 스위칭소자 및 스토리지 캐패시터의 일측 전극을 덮도록 무기절연막을 상기 기판 상에 전면 형성하는 단계와, 상기 무기절연막 상에 유기절연막을 형성하는 단계와, 상기 유기절연막과 상기 무기절연막의 식각비가 1이상이 되도록 건식 식각시 주입되는 SF<sub>6</sub>와 O<sub>2</sub> 가스의 혼합비를 선택하여 상기 유기절연막과 무기절연막을 식각하는 단계를 포함한다.

본 발명에 의하면, 무기절연막의 식각속도가 유기절연막의 식각속도보다 느려 언더컷을 방지할 수 있어 스텝 커버리지가 좋은 컨택홀을 형성할 수 있다.

**【대표도】**

도 3

## 【명세서】

## 【발명의 명칭】

엑스-선 검출소자의 제조방법 {Fabricating Method of X-ray Detecting Device}

## 【도면의 간단한 설명】

도 1은 통상의 엑스-선 검출소자의 패널을 도시한 도면.

도 2a 내지 도 2e는 도 1에 도시된 엑스-선 검출소자의 제조방법을 단계적으로 나타내는 단면도.

도 3은 본 발명의 실시 예에 따른 엑스-선 검출소자를 도시한 단면도.

도 4a 내지 도 4e는 도 3에 도시된 엑스-선 검출소자의 제조방법을 단계적으로 나타내는 단면도.

도 5는 도 4d에 도시된 건식식각과정을 상세히 설명하는 도면.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

2, 52 : 글라스 기판	3, 53 : 게이트 라인
4 : 박막트랜지스터 기판	5, 55 : 화소전극
6 : 광감지층	7 : 상부 유전층
8 : 상부전극	9 : 고전압발생부
10, 60 : 데이터라인	12, 62 : 게이트전극

14,64 : 소스전극	15,17,65,67 : 컨택홀
16,66 : 드레인전극	22,72 : 스토리지전극
25,75 : 투명전극	32,82 : 게이트 절연막
34,84 : 활성층	36,86 : 질화실리콘
38,40,88,90 : 보호막	

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 엑스-선(이하 'X-선' 이라 함) 검출소자의 제조방법에 관한 것으로, 특히 안정된 스텝 커버리지를 얻을 수 있는 X-선 검출소자의 제조방법에 관한 것이다.

<18> 피사체에 가시광이 아닌 X-선을 조사하여 이미지를 촬상하는 진단용 X-선 감지장치가 의료 분야에 폭넓게 이용되고 있다. 이러한 X-선 감지장치는 X-선을 검출하기 위한 검출소자가 필요하게 된다.

<19> 일반적으로, 의료·과학·산업 분야에서는 X-선 등과 같은 비가시광선을 이용하여 피사체를 촬상하는 X-선 촬영장치가 사용되고 있다. 이 X-선 촬영 장치는 피사체를 통과한 X-선을 검출하여 전기적인 신호로 변환하기 위한 X-선 검출 패널을 구비하고 있다.

<20> 도 1은 종래의 X-선 검출패널을 나타내는 평면도이다.

<21> 도 1을 참조하면, X-선이 입사되는 광감지층(6)과, 유리기판(2) 상에 형성되어 광감지층(6)으로부터 검출된 X-선을 스위칭하기 위한 박막트랜지스터(이하 'TFT' 라 함) 어레이(4)를 구비하는 AMLCD가 도시되어 있다. 광감지층(6)은 수백  $\mu\text{m}$  두께의 셀레니움(Selenium)이 TFT 어레이(4) 상에 도포되어 X-선을 전기적인 신호로 변환하는 역할을 하게 된다. 광감지층(6) 상에는 유전층(7)과 상부전극(8)이 형성된다. 상부전극(8)은 고전압 발생부(9)에 접속된다. TFT 어레이(4)는 게이트라인(3)을 경유하여 입력되는 제어신호에 응답하여 스토리지 캐패시터(Cst)에 충전된 전압신호를 데이터 재생부(도시하지 않음)에 전송하게 된다. 스토리지 캐패시터(Cst)는 TFT의 소오스전극과 기저전압원(GND) 사이에 접속되어 광감지층(6)으로부터 공급되는 신호를 충전하는 역할을 하게 된다.

<22> TFT는 게이트라인(3)을 통해 입력되는 게이트신호에 응답하여 충전 캐패시터(Cst)에 충전된 전압을 데이터라인(10)에 공급하게 된다. 이렇게 데이터라인에 공급된 화소신호들은 데이터재생부를 통해 표시장치로 공급되어 화상을 표시하게 된다.

<23> 도 2a 내지 도 2e는 도 1에 도시된 X-선 검출소자의 제조방법을 단계적으로 도시한 것으로서, 특히 박막트랜지스터부와 스토리지 캐패시터부만을 도시한 것이다.

<24> 도 2a를 참조하면, 먼저 글라스 기판(2) 위에 증착공정을 이용하여 금속막을 형성한 후, 마스크 패턴을 이용하여 패터닝함으로써 게이트라인(3)과 게이트전극(12)을 형성하게 된다. 이 경우, 게이트라인(3)과 게이트전극(12)은 알루미늄-네오뎝/몰리브덴(AlNd/Mo) 금속이 적층된 구조를 가지게 된다.

<25> 도 2b를 참조하면, 게이트라인(3) 및 게이트전극(12) 등이 형성된 글라스 기판(2)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(32)과 비정질실리콘(a-Si)층 및 불순물이 도핑된 비정질 실리콘(n+)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(32)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 마스크 패턴을 이용하여 n+층과 a-Si층을 패터닝함으로써 TFT의 채널을 형성하는 활성층(34)을 형성하게 된다. 크롬(Cr)을 형성하고 마스크 패턴을 이용하여 패터닝함으로써 소스 전극(14)과 드레인전극(16)과 스토리지전극(22)을 형성하게 된다.

<26> 도 2c를 참조하면, 소스 전극(14)과 드레인전극(16)과 스토리지전극(22)을 형성된 글라스 기판상에 제 1보호막(38)인 질화실리콘(SiNx)과 유기절연막(BCB)을 전면 도포하게 된다.

<27> 도 2d를 참조하면, 제 1보호막 및 유기절연막(38,40)을 형성한 후 마스크패턴을 이용하여 패터닝함으로써 TFT 및 화소부의 영역에서 드레인전극(16)과 이후에 형성될 투명전극(25)과의 접촉을 하기 위한 제 1컨택홀(15), 스토리지전극(22)과 투명전극(25)과의 접촉을 하기 위한 제 2컨택홀(17)을 형성하게 된다. 여기서, 제 1 및 제 2컨택홀(15,17)은 제 1 보호막 및 유기절연막(38,40)을 경유하여 형성된다.

<28> 도 2e를 참조하면, 제 1 보호막 및 유기절연막(38,40)이 형성된 후 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝함으로써 투명전극(25)을 형성하게 된다. 투명전극(25)은 드레인전극(16)과 스토리지전극(22)상에 형성된 제 1 및 제 2컨택홀(15,17)에 의해 상호 접속되도록 한다. 그런 다음, 투

명전극(25)이 형성된 제 1보호층 및 유기절연막(38,40)상에 질화실리콘(36)을 증착하여 제 2보호층을 형성한후, 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝하므로써 화소전극(5)을 형성하게 된다.

<29> 화소전극(5)이 형성된 후 마스크 패턴을 이용하여 게이트패드와 데이터패드의 콘택홀을 통해 노출된 몰리브덴층을 패터닝하여 알루미늄층이 노출되게 한다. 이는 게이트 패드와 데이터패드를 구동 IC칩과 접착강도가 큰 알루미늄(Al) 와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

<30> 그러나, 종래 기술의 X-선 검출소자의 제조방법은 한 번의 건식 식각을 이용하여 TFT와 스토리지 캐패시터영역에 형성된 제 1 및 제 2보호막을 순차적으로 식각할 때 제 1보호막인 질화실리콘(SiNx)의 식각율이 제 2보호막인 유기절연막의 식각율보다 빨라서 제 2보호막인 유기절연막 밑으로 질화실리콘이 에칭되어 측면식각(under cut)현상이 발생된다. 이러한 측면식각현상때문에 보호막상부에 증착되는 투명전극의 스텝 커버리지가 불량하여 단차부에서 단선불량이 발생할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <31> 따라서, 본 발명의 목적은 보호층인 질화실리콘층과 유기절연막층을 통한 콘택홀 형성시 질화실리콘층의 과식각에 의한 불량을 방지하기 위한 엑스-선 검출소자의 제조방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <32> 상기 목적을 달성하기 위하여, 본 발명에 따른 엑스-선 검출소자의 제조방법은 반도체 스위칭소자 및 스토리지 캐패시터를 기판 상에 형성하는 단계와, 상기 반도체 스위칭소자 및 스토리지 캐패시터의 일측 전극을 덮도록 무기절연막을 상기 기판 상에 전면 형성하는 단계와, 상기 무기절연막 상에 유기절연막을 형성하는 단계와, 상기 유기절연막과 상기 무기절연막의 식각비가 1이상이 되도록 건식 식각시 주입되는  $\text{SF}_6$ 와  $\text{O}_2$  가스의 혼합비를 선택하여 상기 유기절연막과 무기절연막을 식각하는 단계를 포함한다.
- <33> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <34> 이하 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <35> 도 3은 본 발명의 실시예에 따른 X-선 검출소자를 도시한 단면도로서, 특히 TFT와 스토리지 캐패시터영역만을 도시한 단면도이다.

- <36> 도 3을 참조하면, 종래의 X-선 검출소자와 대비하여 제 1 및 제 2보호막을 식각할 때 유기절연막(BCB)과 질화실리콘(SiNx)의 식각율이 1이상인 질화실리콘(SiNx)을 성막하거나 건식 식각시 가스 혼합비율을 조정하여 유기절연막하부로 질화실리콘이 측면식각현상이 발생하지 않아 양호한 스텝 커버리지를 얻을 수 있다.
- <37> 도 4a 내지 도 4e는 본 발명의 실시 예에 따른 X-선 검출소자의 제조방법을 단계적으로 도시한 것으로서, 특히 박막트랜지스터부와 스토리지 캐패시터부만을 도시한 것이다.
- <38> 도 4a를 참조하면, 먼저 글라스 기판(52) 위에 증착공정을 이용하여 금속막을 형성한 후, 마스크 패턴을 이용하여 패터닝함으로써 게이트라인(53)과 게이트전극(62)을 형성하게 된다. 이 경우, 게이트라인(53)과 게이트전극(68)은 알루미늄(Al)과 몰리브덴(Mo) 금속이 순차적으로 적층된 구조를 가지게 된다.
- <39> 도 4b를 참조하면, 게이트라인(53) 및 게이트전극(62) 등이 형성된 글라스 기판(52)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(82)과 비정질실리콘(a-Si)층 및 불순물이 도핑된 비정질 실리콘(n+)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(82)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 마스크 패턴을 이용하여 n+층과 a-Si층을 패터닝함으로써 TFT의 채널을 형성하는 반도체층(84)을 형성하게 된다. 크롬(Cr)을 형성하고 마스크 패턴을 이용하여 패터닝함으로써 소스 전극(64)과 드레인전극(66)과 스토리지전극(72)을 형성하게 된다.

- <40> 도 4c를 참조하면, 소스 전극(64)과 드레인전극(66)과 스토리지전극(72)을 형성된 글라스 기판상에 제 1보호막(88)인 질화실리콘(SiNx)을 전면 도포하게 된다. 연속하여 기생용량을 줄이기 위한 저유전율의 유기절연막인 제 2보호막(90)을 형성한다.
- <41> 도 4d를 참조하면, 제 1 및 제 2보호막(88,90)을 형성한 후 마스크패턴을 이용하여 패터닝함으로써 TFT 및 화소부의 영역에서 드레인전극(66)과 이후에 형성될 투명전극(75)과의 접촉을 하기 위한 제 1컨택홀(65), 스토리지전극(72)과 투명전극(75)과의 접촉을 하기 위한 제 2컨택홀(67)을 형성하게 된다. 여기서, 제 1 및 제 2컨택홀(65,67)은 제 1 및 제 2보호막(88,90)을 경유하여 형성된다.
- <42> 도 4e를 참조하면, 제 1 및 제 2보호막(88,90)이 형성된 후 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝함으로써 투명전극(75)을 형성하게 된다. 투명전극(75)은 드레인전극(66)과 스토리지전극(72)상에 형성된 제 1 및 제 2컨택홀(65,67)에 의해 상호 접속되도록 한다. 그런다음, 투명전극(75)이 형성된 제 1 및 제 2보호층(88,90)상에 질화실리콘(86)을 증착한후, 투명전극 물질을 전면 도포한 후 마스크 패턴을 이용하여 패터닝함으로써 화소전극(55)을 형성하게 된다.
- <43> 화소전극(55)이 형성된 후 마스크 패턴을 이용하여 게이트패드와 데이터패드의 컨택홀을 통해 노출된 폴리브덴층을 패터닝하여 알루미늄층이 노출되게 한다. 이는 게이트 패드와 데이터패드를 구동 IC칩과 접촉강도가 큰 알루미늄(Al) 와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

<44> 도 5는 도 4d에 도시된 건식 식각과정을 상세히 설명하는 도면이다.

<45> 도 5를 참조하면, 단위시간당 식각되는 두께를 식각속도라 하고, 서로 다른 절연막의 식각속도의 비율을 식각비라 정의한다.

<46> 하층에 위치하는 질화실리콘의 식각속도를  $D_l$  m/sec라 하며 상층에 위치하는 유기절연막의 식각속도를  $D_u$  m/sec라 하고,  $\Delta t$ 동안 식각되는 두께(높이,  $\Delta D$ )와 상하층의 절연막 식각비( $\Delta R$ )는 수학식1과 같이 나타낼 수 있다.

<47> 【수학식 1】  $\Delta D_l = \Delta t \times D_l$                        $\Delta D_u = \Delta t \times D_u$                        $\Delta$

$$R = D_u / D_l$$

<48> 동일한 시간동안 아래로 식각되는 깊이와 측면으로 식각되는 깊이가 동일한 등방성식각이라 하며, 아래로 식각되는 깊이와 측면으로 식각되는 깊이가 다른 이방성식각으로 정의한다.

<49> 예를 들어, 식각되는 측면과 깊이가 같은 등방성식각에서  $D_u$  m/sec  $\geq D_l$  m/sec일 경우, 본 발명의 실시 예에 대해 설명한다.

<50> 제 1 및 제 2 보호막(88,90)상에 포토레지스트가 전면 도포된 다음, 포토레지스트를 패터닝하여 포토레지스트 패턴이 형성된다. 포토레지스트 패턴을 마스크로 사용하여 상층의 유기절연막(BCB)과 하층의 무기절연막( $SiN_x$ )을 순차적으로 건식 식각한다.

<51> 이 때, 유기절연막(BCB)과 질화실리콘( $SiN_x$ )의 식각비( $D_u/D_l$ )가 1이상이 되기 위하여 건식 식각시 사용되는 혼합가스  $SF_6+O_2+He$ 의  $SF_6$ 과  $O_2$ 의 비율을 1:3이상으로  $O_2$ 가 많게 조정하면  $t=t_2$ 에서와 같이, 제 1보호막(88)인 질화실리콘

(SiNx)의 식각속도가 제 2보호막(90)인 유기절연막(BCB)의 식각속도보다 늦어진 다. 그러므로 제 1보호막의 식각속도가 제 2보호막의 식각속도보다 늦어 유기 절연막(BCB)밑으로 질화실리콘(SiNx)의 언더컷이 발생하지 않는다. 최종적으로, 포토레지스트패턴을 제거한 후, 유기절연막상에 투명전도성물질을 증착하여 투명 전극(75)을 형성한다,

#### 【발명의 효과】

<52> 상술한 바와 같이, 본 발명에 따른 엑스-선 검출용 박막트랜지스터의 제조 방법은 무기절연막 및 유기절연막에 콘택홀을 형성할 때 무기절연막의 식각속도가 유기절연막의 식각속도보다 늦게 하여 식각속도비를 1이상으로 하여 스텝 커버리지를 얻을 수 있으며 단차부의 단선불량을 방지할 수 있다.

<53> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니 하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

반도체 스위칭소자 및 스토리지 캐패시터를 기판 상에 형성하는 단계와,

상기 반도체 스위칭소자 및 스토리지 캐패시터의 일측 전극을 덮도록 무기 절연막을 상기 기판 상에 전면 형성하는 단계와,

상기 무기절연막 상에 유기절연막을 형성하는 단계와,

상기 유기절연막과 상기 무기절연막의 식각비가 1이상 되도록 건식 식각 시 주입되는  $\text{SF}_6$ 와  $\text{O}_2$  가스의 혼합비를 선택하여 상기 유기절연막과 무기절연막을 식각하는 단계를 포함하는 것을 특징으로 하는 엑스-선 검출소자의 제조방법.

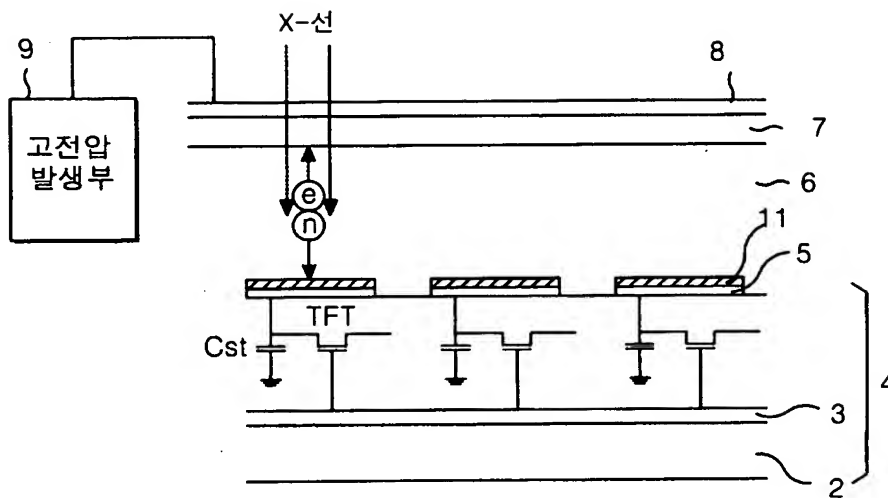
**【청구항 2】**

제 1항에 있어서,

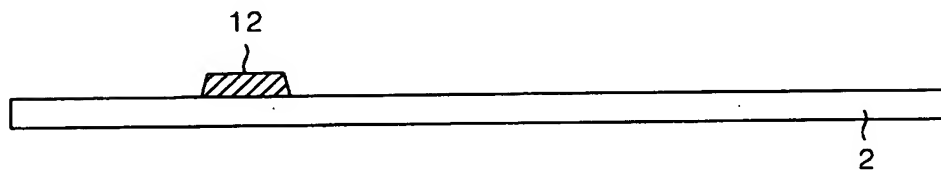
상기  $\text{SF}_6$ 와  $\text{O}_2$  가스의 혼합비는 1:3인 것을 특징으로 하는 엑스-선 검출소자의 제조방법.

## 【도면】

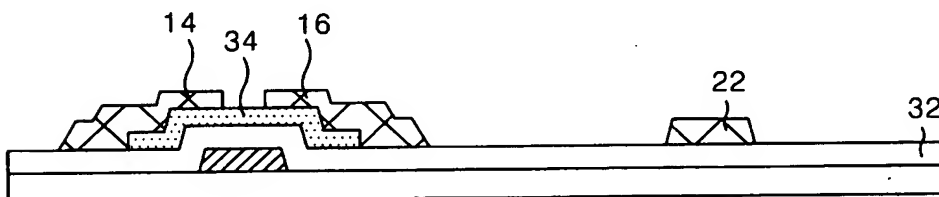
【도 1】



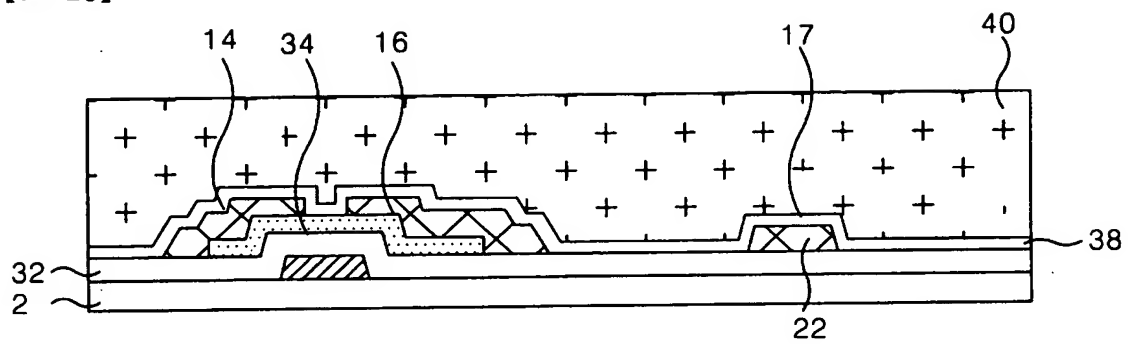
【도 2a】



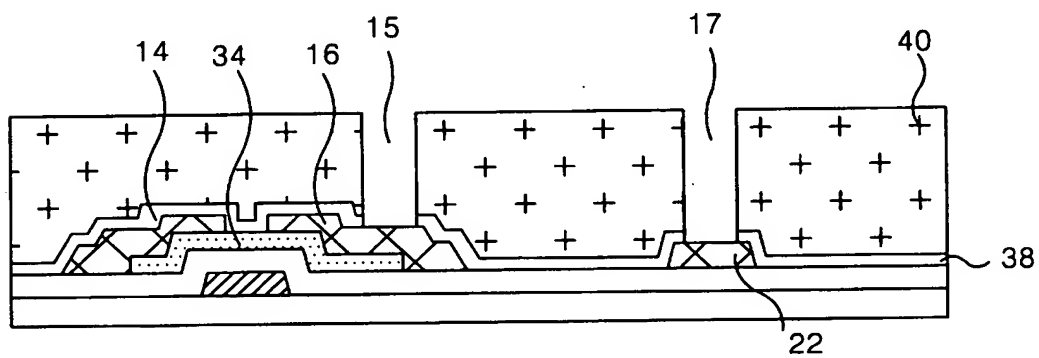
【도 2b】



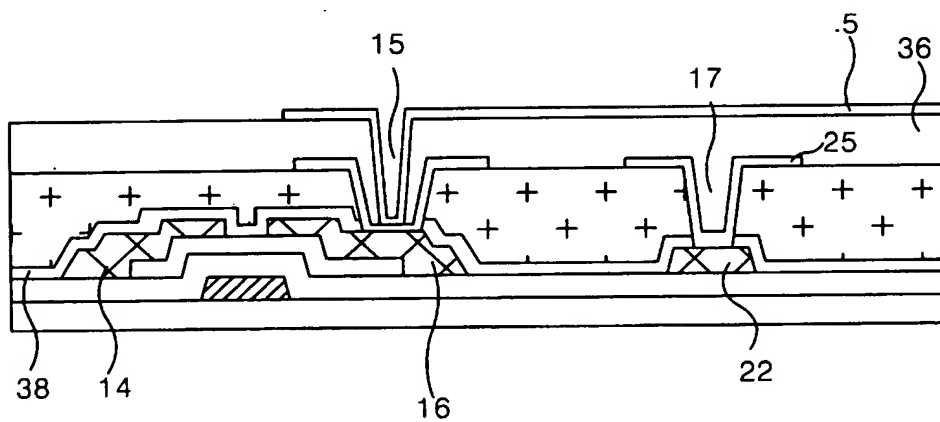
【도 2c】



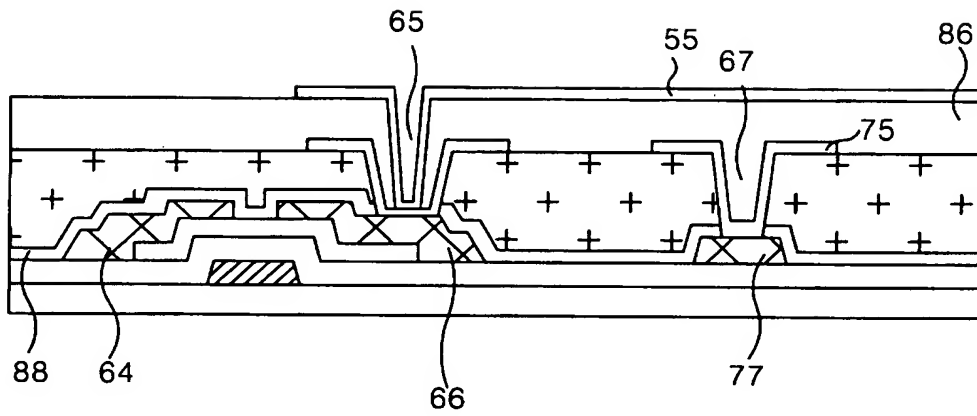
【도 2d】



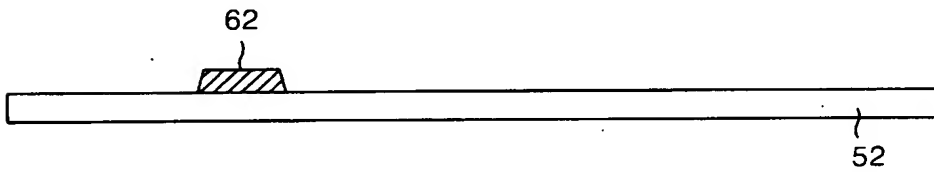
【도 2e】



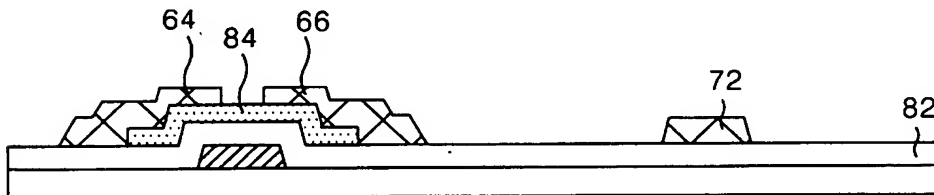
【도 3】



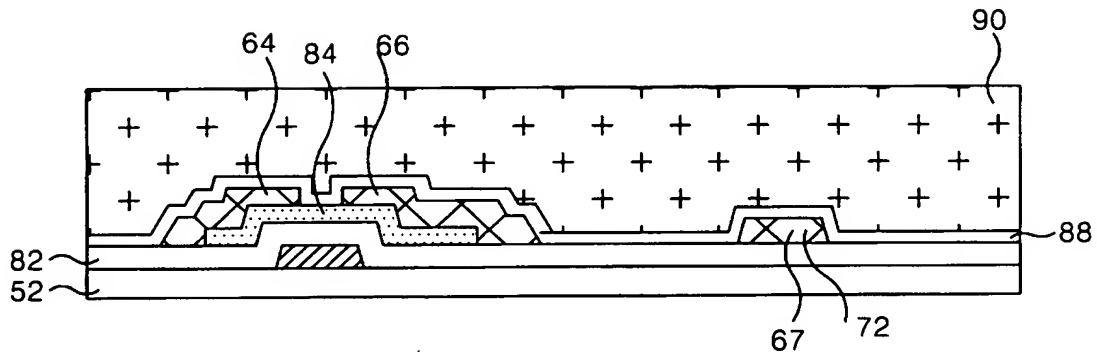
【도 4a】



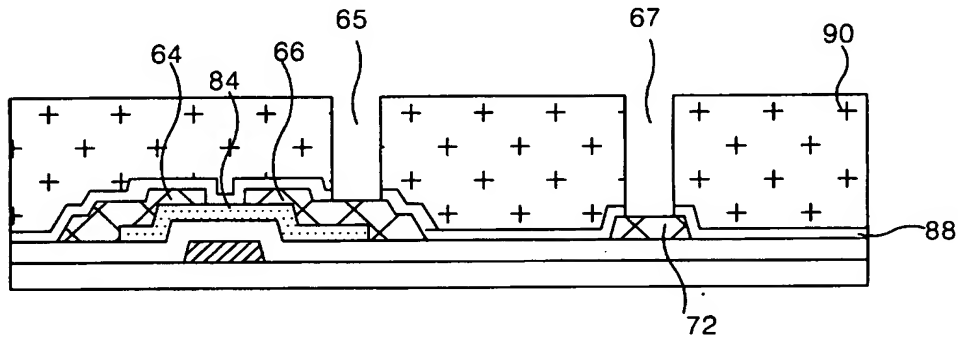
【도 4b】



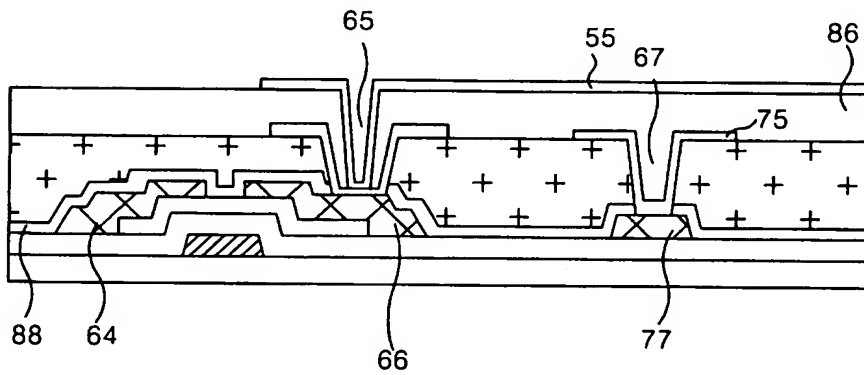
【도 4c】



【도 4d】



【도 4e】



【도 5】

